

星上固態存儲中高速BCH編解碼器設計

Design of High Speed BCH Codec for Solid State Recorder in Statellite

張凱斌 Kaibin Zhang, 裴玉奎 Yukui Pei, 陸建華 Jian-Hua Lu

北京清華大學電子工程系

Zhangkb@wmc.ee.tsinghua.edu.cn, Peiyk@wmc.ee.tsinghua.edu.cn, Lujh@wmc.ee.tsinghua.edu.cn

摘要

針對宇宙輻射對星上大容量固態記憶體存在單粒子效應，設計並在FPGA (Field Programmable Gate Array) 上實現了一種高速率、高效率的BCH碼編解碼器。在編碼器方面，提出了基於展開 (unfolding) 演算法的8路並行編碼結構，獲得了近800Mbps的吞吐量，硬體資源下降到傳統並行編碼器的1/8；在解碼器方面，繼承了脈動陣列的思想，提出了並行度為8的解碼結構，獲得了260Mbps的吞吐量，解碼延時降為串列結構的1/8。

關鍵字：固態記憶體、BCH、展開演算法、脈動陣列、修正euclid演算法。

Abstract

Because of the existing of single-event effects for mass solid state recorder in satellite due to space radiation, a BCH codec is designed and implemented in FPGA (Field Programmable Gate Array) with high speed and high efficiency. On the aspect of encoder, an 8-parallel BCH encoder architecture based on unfolding algorithm is proposed, which achieves the throughput of 800Mbps, while the scale of hardware can be reduced to 1/8 of that with the traditional serial encoder architecture; on the aspect of decoder, an 8-parallel decoder architecture inheriting the basic idea of systolic array is proposed to achieve the throughput of 260Mbps, while the decoding latency can be reduced to 1/8 comparing with the traditional serial decoder architecture.

Keywords: State Solid recorder (SSR), BCH, Unfolding Algorithm, Systolic Array, Modified Euclid Algorithm.

隨著航太電子技術的發展，迫切需要一種容量大、存取速率高、體積小、重量輕、耗電省的星上資料存儲設備。NAND FLASH以容量密度高、存儲非易失性、功耗小的優點已成為大容量固態記憶體的主流存儲介質，非常適合作為星載高速大容量資料存儲系統的基本儲存介質[1]。然而宇宙輻射對FLASH介質存在單粒子效應等輻射效應，尤其是對高密度的NAND FLASH，導致存儲資料出錯。

目前星上存儲資料可靠性保障措施主要有：抗輻照加固，自適應故障及隔離，冗餘備份，檢錯糾錯編解碼技術，其中檢錯糾錯編解碼技術在星上存儲中逐漸獲得了應用[1]。宇宙輻射產生的錯誤一般為隨機錯誤，對隨機錯誤而言，在AWGN (Additive White Gaussian Noise) 通道環境下，與相同碼長和碼率的RS碼相比，BCH碼的編碼增益要高出0.6dB[2]，性能比漢明碼高，即BCH在保證簡單的編解碼基礎上具有較高的效率。另外，隨著星上感測器 (sensor) 技術的發展，感測器的資料速率也越來越高，速率已經超過100Mbps，這就要求用於星上固態記憶體的糾錯編解碼器必須可以支援100Mbps以上的吞吐量。一種直觀的方式是將幾個串列編解碼器簡單並行工作來達到高的吞吐量，但所消耗的資源是串列編解碼器的幾倍，而且延時跟串列編解碼器一致，這對於資源非常緊張的航天器來說是不合理的。

鑒於星上固態記憶體的特點，本文主要設計並在FPGA上實現高速、高效的適合星上的並行BCH編解碼器。文章安排如下：第1節介紹了BCH參數的設計，第2節提出了基於unfolding演算法的8路並行的BCH編碼結構，第3節提出了基於脈動陣列的8路並行解碼結構，第4節給出的編解碼實現的資源及複雜度分析，最後給出了總結。

1 BCH參數設計

從文獻[3]的結論可知：太空中的器件存在不同的單粒子效應，如表1所示。

表1 單粒子翻轉效應

器 件	環 境			
	情況一	情況二	情況三	情況四
93L422	0.0025	0.076	1.07	102
2164A	0.00043	0.013	0.18	17.8
HM6504	0.00006	0.00019	0.0027	0.25
2147	0.00031	0.00096	0.013	1.28

從表1發現，在第一種情況下，重離子的翻轉率在 $10^{-3} \sim 10^{-5}$ ，這是最常見的情況。而表1，在有太陽風時，重離子的翻轉率會急劇上升，一般在 10^{-1} 左右，甚至是幾十。太陽風不是經常發生，太陽耀斑和爆發是分散的，發生第二種情況，第三種情況，第四種情況的時間大約為1%，0.1%，0.01%，所以，對一般性的評估，以第一種情況作為標準環境是可以接受的[3]。

可航太飛行事件的成本很高，必須確保資料儲存足夠高的可靠性，所以在設計的改錯碼必須有足夠的糾錯能力，以保證空間探測或在軌試驗資料能完整可靠地保存。

因此設計的BCH碼的糾錯能力須高於 10^{-3} 。

考慮到NAND型的快閃記憶體的基本存儲單元是頁 (Page)，也就是512位元組，4096bit。每頁的有效容量是512位元組的倍數[4]。

基於以上分析，本文設計的BCH碼長為4090，校驗位為130位，能糾10個錯，即 $BCH(4090,3960,10)$ ，生成多項式為：

$g(x)=1001001111101100110100000111111010101000000$
 $01101010100000111101101110010010001011001001111$
 $10000101001011000011110111001001011010011$ ，本原多項式 $m(x)=11011000000001$ （低位元元在前，高位在後），不足4096bit的最後6bit用0填充，不影響編解碼。

2 編碼器的設計

展開 (unfolding) 是應用於DSP程式的一種轉換方法，它產生一個新的程式來描述原來程式的多次迭 J 代， J 為展開因數，即後文提到的展開並行度。以 J 為展開因數展開一個DSP程式，就會產生一個以原程式連續執行 J 次的新程式。展開演算法在演算法潛在的併發性，位/字級並行架構，彙編編程、編譯理論等方面有諸多應用[5]。

2.1 J 度展開 (unfolding) 演算法

unfolding 變換就是將圖 G 映射為 J 階展開 G_J ，即 $G \rightarrow G_J$ 。

J 階展開 G_J 的節點與邊：

(1) 節點 U ：有 J 個具有相同功能的節點。

$U_i (i=0,1,2,3,\dots,J-1)$

(2) 邊：有 J 條相應的邊。

即 J 階展開 G_J 包含了相當於原 G 中 J 倍數量的節點和邊。

J 階展開 G_J 的具體演算法：

(1) 對原 G 中的每個節點 U ，畫 J 個節點 U_0, U_1, \dots, U_{J-1} 。

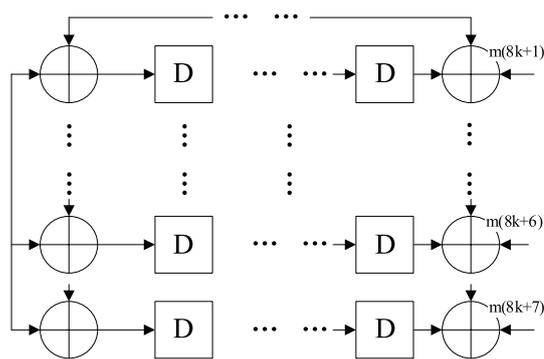
(2) 對在原 G 中的每個延遲為 w 的邊 $U \rightarrow V$ ，其延遲為

$w_{unf}(i)=[i+w)/J]$ 的 J 個邊 $U_i \rightarrow V_{(i+w)\%J} (i=0,1,\dots,J-1)$ 。

(3) 原 G 中各邊的延遲數等於 J 階展開 G_J 中相應邊的總延遲數。

2.2 基於 unfolding 演算法的並行編碼模組

在 2.1 節的基礎上，我們設計了展開度為 8 的基於 unfolding 演算法的並行編碼器，所設計的 (4090, 3960) BCH 並行編碼電路結構如圖一所示。



圖一 基於 unfolding 演算法的 8 路並行編碼結構

圖一中具體的連接關係如表 2 所示，在表 2 中只描述了其中計算前 5 位元校驗位元的電路連接關係。

表 2 校驗位的計算關係

校驗節點	1	2	3	4	5
	7	5	6	7	6
	4	3	4	5	5
	2	2	3	4	3
	1	0	1	2	0
	9	1	11	12	13

如表 2 所示：表中第一行中的元素代表對應的校驗位元元號，高位在前，低位元元號在後，用 d 表示。每列的第二位到倒數第二位代表連接各個異或閘連線中的值，分別用 $tmp0$ 、 $tmp1$ 、 $tmp2$ 、 $tmp3$ 、 $tmp4$ 、 $tmp5$ 、 $tmp6$ 、 $tmp7$ 來表示，各自的計算式為：

其中 $in_i (i=0,1,\dots,7)$ 表示輸入資料。

表中每行最後一位表示對應的校驗位號。每個校

$$tmp0 = d(1) \oplus in_0;$$

$$tmp1 = d(2) \oplus tmp0 \oplus in_1;$$

$$tmp2 = d(3) \oplus tmp1 \oplus in_2;$$

$$tmp3 = d(4) \oplus tmp2 \oplus in_3;$$

$$tmp4 = d(5) \oplus tmp1 \oplus tmp3 \oplus in_4;$$

$$tmp5 = d(6) \oplus tmp1 \oplus tmp4 \oplus in_5;$$

$$tmp6 = d(7) \oplus tmp0 \oplus tmp2 \oplus tmp5 \oplus in_6;$$

$$tmp7 = d(8) \oplus tmp0 \oplus tmp1 \oplus tmp4 \oplus tmp7 \oplus in_7;$$

驗位的計算就是這幾個值的異或。例如：第一行的元素是 1、7、4、2、1、9，則表示：

$$d(1) = tmp7 \oplus tmp(4) \oplus tmp2 \oplus mp1 \oplus d(9)$$

對每組資訊位元開始編碼時，每個校驗位元進行清零，然後按圖一接連結構進行編碼。由於 BCH 是系統碼，所以前 495 個時鐘，編碼器一方面直接輸出資訊位元，另一方面同時計算校驗位元，直到所有的資訊位元全部輸出，編碼器開始輸出校驗位元。由於碼長 4090 不是 8 的倍數，所以最後一位元組校驗位元進行 6 比特 0 填充，組成 512 位元組。

3 解碼器的設計

解碼演算法分為幾個過程：計算伴隨式、計算錯位多項式、錢搜索。因此解碼器相應地分為幾個模組；

3.1 平行計算伴隨式

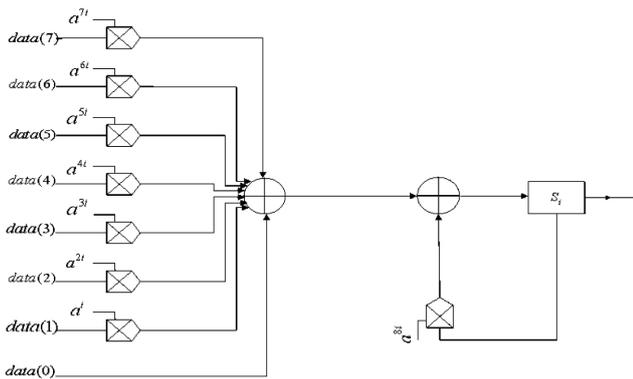
根據：

由於碼長4090不是8的倍數，所以在第512個時鐘

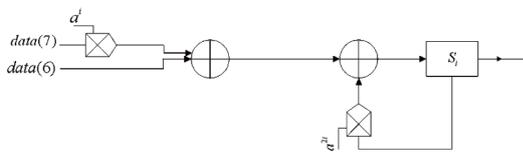
$$S_i = \sum_{j=0}^{4090} r_j \alpha^{ij} = (\dots((r_{4089}\alpha^i + r_{4088})\alpha^i + r_{4087})\alpha^i + \dots + r_1)\alpha^i + r_0 = (\dots((r_{4089}\alpha^{7i} + r_{4088}\alpha^{6i} + r_{4087}\alpha^{5i} + r_{4086}\alpha^{4i} + r_{4085}\alpha^{3i} + r_{4084}\alpha^{2i} + r_{4083}\alpha^i + r_{4082})\alpha^{8i} + r_{4081}\alpha^{7i} + r_{4080}\alpha^{6i} + r_{4079}\alpha^{5i} + r_{4078}\alpha^{4i} + r_{4077}\alpha^{3i} + r_{4076}\alpha^{2i} + r_{4075}\alpha^i + r_{4074})\alpha^{8i} + \dots + r_2)\alpha^{8i} + r_1)\alpha^i + r_0$$

需要在最後兩個比特進行特殊處理。根據設計的糾錯能力為10，所以需要20個結構相似的單元，每個單元如圖二和圖三所示。

由於伴隨式計算使用的乘法都有一個固定因數，因此可以把該固定因數直接代入乘法中，將乘法轉化為簡單的組合電路，達到節省硬體資源的目的。



圖二 前511個時鐘週期的平行計算伴隨式子結構



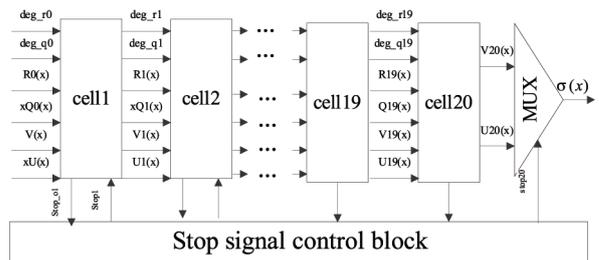
圖三 第512個時鐘的平行計算伴隨式子結構

3.2 計算錯位多項式

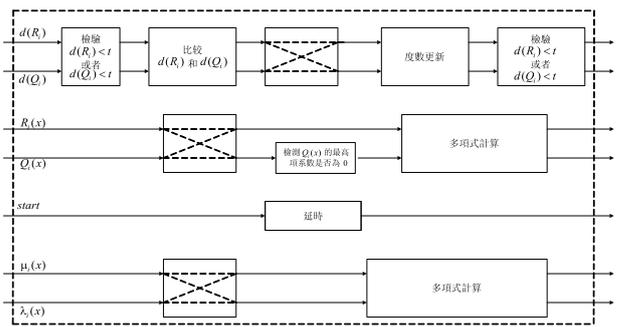
計算完伴隨式後，計算錯位多項式模組開始工作。 $R(x)$ 初始化為1， $\lambda(x)$ 初始化為0， $\mu(x)$ 初始化為x，高位串列輸出。當輸出是 $R(x)$ 和 $Q(x)$ 的最高項係數時，start為0，其餘為1。

我們設計的BCH糾錯能力為t，所以演算法最多迭代2t次。 $R(x)$ 、 $Q(x)$ 的次數在每次迭代後得到更新，當它們的次數有一個小於t時，迭代結束。由於每次迭代的計算都是相似的，所以我們採用脈動陣列。

圖四是修正euclid演算法整體框圖，圖五是修正euclid演算法每次迭代的一個單元[7][8]。當 $\deg(R_i(x)) < \deg(Q_i(x))$ 時， $R_i(x)$ 和 $Q_i(x)$ ， $\deg(R_i(x))$ 和 $\deg(Q_i(x))$ 進行交換，否則不交換。當 $Q_i(x)$ 的最高項係數為時， $\deg(R_i(x))$ 減1，否則 $\deg(Q_i(x))$ 減1。 $stop=1$ 時表示迭代完成， $stop$ 信號控制模組控制 $stop$ 使得剩下的單元不再工作，僅僅是傳遞資料， $stop=0$ 表示迭代過程繼續。當錯誤個數達到10個時， $stop20=0$ ，否則 $stop20=1$ 。當 $stop20=0$ 時， $\sigma(x)=V_{20}(x)$ ，否則 $\sigma(x)=U_{20}(x)$ 。對於錯誤多項式的每個係數來說，每次迭代最多只耗費3個系統時鐘，所以整個迭代過程最多只耗費60個時鐘，大大降低了解碼器的延時。



圖四 修正euclid演算法整體框圖



圖五 修正euclid演算法迭代單元

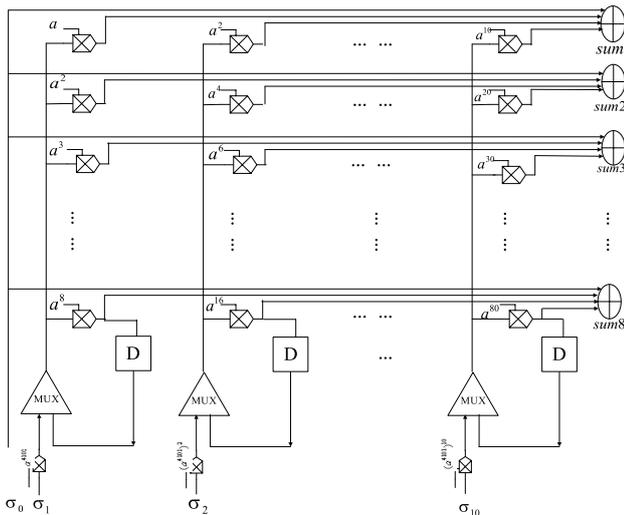
3.3 並行錢搜索[6]

由於BCH編碼採用的是8191編碼的縮短碼，因此對搜索電路的初始值要進行預設置來完成對縮短碼搜索的修正。

錢搜索是從 $(\alpha^{4089})^{-1} = \alpha^{4012}$ 開始直至結束，其逆為錯位發生位置，分別對應編碼後資料的第4090個至第一個位置，電路結構如圖六所示。

由於搜索是從 $(\alpha^{4089})^{-1} = \alpha^{4012}$ 開始，所以我們至搜索電路的初始值分別為1、 α^{4101} 、 $(\alpha^{4101})^2 \dots (\alpha^{4101})^t$ ，這相當於在並行電路的輸入端分別加上一個固定因數乘法器，如圖六所示。

前511個時鐘分別搜索了第4090至3個位置，若sum為0，則代表剛搜索的位置發生了錯誤。第512個時鐘時，電路分別搜索了第1、2、8191、8190、8189、8188、8187、8186等幾個位置，由於8191至8186這幾個位置不屬於本文設計的縮短碼的位置，屬於無效搜索。所以在判斷時，這幾個值屬於無效，也就是說第512個時鐘時，錢搜索電路輸出只有sum1、sum2有效，其餘無效。



圖六 8路並行錢搜索電路框圖

4 FPGA測試以及複雜度分析

下面對並行編解碼器的複雜度進行分析，進一步表明本文設計的BCH編解碼器的優越性，其中DFF表示寄存器，RAM表示存儲單元，MUL表示乘法器，系統時鐘為T。

從表3中可以看出，基於unfolding演算法的並行編碼器的硬體資源和串列編碼器一樣，只是異或閘增加了8倍，比傳統的並行編碼器降低到了1/8，進一步說明瞭基於unfolding演算法的並行編碼器的優越性。

表3 並行編碼器的運算時間和硬體要求

模組	運算時間	硬體要求
cal_check	$N/8 * T$	$136 * DFF$
datamem	0	$N * 2RAM$
all	$N/8 * T$	$136 * DFF + N * 2RAM$

從表4中可以看出，本文設計的解碼器的硬體資源與傳統並行解碼器一致，其延時下降到串列編碼器的1/8，計算錯位多項式的運算時間跟糾錯能力成線性關係，對設計糾錯能力大的解碼器是一個很好的啟發。VHDL代碼下載到FPGA Xilinx VirtexII XC2VP30開發板上進行測試。編碼器的其中一位元測試資訊位元為全1，解碼器的測試碼字是前1至10位元錯誤的全1碼字。並行編碼器在主頻100MHz測試通過，吞吐率達到近800Mbps，並行解碼器在主頻70MHz測試通過，吞吐率達到260Mbps。

表4 並行解碼器的運算時間和硬體開銷

模組	運算時間	硬體要求
syndro	$N/8 * T$	$(12m * DFF + 10 * MUL) * 2t$
PS	$(2t+1) * T$	$(3m+1) * DFF + m * (2t+1) * DFF$
err-pol	$6t * t$	$(16m * DFF + 4 * MUL) * 2t$
SP	$(t+1) * T$	$(t+1) * m * DFF$
chien	$N/8 * T$	$(2m * DFF + 10 * MUL) * 8$
dataop	0	$3N * RAM$
output	0	$8 * m * DFF$
all	$(N/4 + 9t + 2) * T$	$(59mt + 29m + 1) * DFF + (28t + 80) * MUL + 3N * RAM$

5 結束語

本文設計並在FPGA上實現了參數為(4090, 3960, 10)的BCH碼編解碼器。在編碼器方面，出了基於unfolding演算法的8路並行編碼結構，並在FPGA上通過主頻100MHz測試，獲得了近800Mbps的吞吐量。在解碼器方面，繼承了脈動陣列的思想，提出了並行度為8的解碼結構，在FPGA上通過主頻70MHz測試，獲得了260Mbps的吞吐量，滿足了星上固態存儲的需求。

參考文獻

- [1] 朱岩、孫輝先，基於快閃記憶體之星載高速大容量存儲技術的研究，2006年中科院博士學位論文。
- [2] K. K. Parhi, "Eliminating the Fanout Bottleneck in Parallel Long BCH Encoders [J]," IEEE Trans on Circuits and Systems, Vol. 3, No. 51, 2004, pp.512-516.
- [3] 孟慶茹、趙大鵬、鮑百容，空間粒子環境對單粒子效應影響的比較，中國空間科學技術，No. 2, 1994年4月，pp.55-58.
- [4] <http://baike.baidu.com/view/589024.html>
- [5] <http://www.eefocus.com/article/08-01/32095s.html>
- [6] 姚偉春，DVB-S2系統外碼解碼的設計與現實，浙江大學2006年碩士學位論文，2006。
- [7] H. H. Lee, M. L. Yu, and L. Song, "VLSI Design of Reed-Solomon Decoder Architectures," in Proc. IEEE Int. Symp. Circuits Syst. (ISCAS'2000), Vol. 5, May 2000, pp.705-708.
- [8] Howard M. Shao, T. K. Truong, and Leslie J. Deutsch, "VLSI Design of a Pipeline Reed-Solomon Decoder," IEEE Transactions on Computers, Vol. c-34, No. 5, May 1985, pp.393-403.

作者簡歷



Kaibin Zhang(S'08) received the B.S. degrees in information security from Xidian University in 2008 with an outstanding thesis award. He is currently a PhD student in the Department of Electronic Engineering of Tsinghua University, China. His main research interest includes channel coding.



Yukui Pei (S'02) received the B.S. degree and the Ph.D. degree in electronic engineering from Tsinghua University, Beijing, China, in 2002 and 2008, respectively. Now he is an assistant researcher in electronic engineering department of Tsinghua University. His research interests include the area of wireless communication, satellite communication and collaborative communication, primarily in error control coding and signal detection for wireless communications.



陸建華 (Jian-Hua Lu)，分別於1986年和1989年獲得北京清華大學電子工程系學士學位和碩士學位，並於香港科技大學電工電子系獲博士學位。目前為北京清華大學電子工程系教授、博士生導師、學術委員會副主任。研究方向包括寬頻無線通信、多媒體信號處理、衛星通信及無線網路等。

