

利用轉換器回授方式於 5.8-GHz 之 CMOS 低雜訊放大器

邱建文¹ 康信雄²

1. 國立宜蘭大學電子工程學系副教授
2. 國立宜蘭大學電子工程研究所研究生

摘要

本論文提出一個應用於 5.8 GHz 無線區域網路的低雜訊放大器之設計。利用 TSMC 0.18 μm CMOS 的製程，為了達到 1 伏特低電壓與低功率的需求，吾人利用轉換器回授中和化法來降低閘一汲極電容(C_{gd})所產生的密勒效應，以進行放大器設計。首先本論文將先描述轉換器回授放大器設計的原理及方法，接著設計差動式單石轉換器的結構，除了利用電磁模擬程式模擬此元件高頻的特性，分析其電路特性，並利用集總元件來建立差動式轉換器的等效電路模型。接著將所得到高頻模型置入放大器電路進行設計，研究與探討單石電感與轉換器的寄生效應及損耗對電路的影響。在考量被動元件實際電磁模擬結果與最佳化設計後，本論文所使用的電路架構，經過電路模擬結果可達到功率增益為 13.2 dB、雜訊指數約為 2.7 dB、輸入損耗反射係數為-22.7 dB、輸出損耗反射係數為-13.8 dB、逆向隔離度為-38.3 dB 及 IIP3 為 6.8 dBm，最後並進行電路佈局與實驗討論。

關鍵詞：低雜訊放大器、單石轉換器、低電壓設計、中和化、轉換器回授

Design of CMOS Low Noise Amplifier with Transformer-Feedback for 5.8-GHz WLAN

Chien-Wen Chiu¹ Hsin-Hsiung Kang²

1. Associate Professor, Department of Electronic Engineering, National Ilan University.
2. Graduate Student, Department of Electronic Engineering, National Ilan University.

ABSTRACT

In this paper, we present the whole design of a low noise amplifier in a 0.18 μm CMOS process for 5.8 GHz wireless local area network application. To operate at 1V low-voltage supply and 16 mW low-power consumption, transformer-feedback technique is employed here to neutralize the gate-drain overlap-capacitance of a MOSFET, i.e., Miller effect. First in this paper, the design approach of the transformer-feedback LNA is described in detail. Second, differentially monolithic-transformer structure is designed, analyzed, and its lumped-element equivalent circuit model is also proposed to characterize its performance. Then, parasitic effect of lossy monolithic-inductor and transformer were studied and included in the simulation of the whole practical design. Their influences on noise and power gain are discussed and then circuit optimization is performed. The simulation results of final design show that the real design can achieve a power gain of 13.2 dB, noise figure of 2.7dB, input return loss of -22.7 dB, output return loss of -13.8 dB, reverse isolation of -38.3 dB, and input third-order intercept-point of 6.8 dBm. Finally, the low voltage-supply LNA based on transformer-feedback technique and internal input-matching circuit is layouted and measurement set-up is discussed for verification.

Keywords: LNA, monolithic transformer, low-voltage design, neutralization, transformer-feedback

一、前言

由於無線通訊時代來臨，有許多的通訊產品相繼被發展出來，其中如現在當紅的智慧型手機（Smartphone）、GSM /CDMA 大哥大手機、無線區域網路（Wireless LAN），還有運用於藍芽（Bluetooth）技術的相關產品，也是非常多樣化，由此可見，無線通訊技術所夾帶的商機無限，使得國內外的產商也都相繼投入研發與量產。在無線通訊系統之接收前端（receiver front-end）電路當中，微弱訊號從天線被接收下來至第一個放大器，此放大器就扮演一個很重要的角色，它的責任是必須將這微弱訊號加以放大，並且不能產生太高的雜訊，若是訊號夾帶太高的雜訊時，在經過後級一連串之電路放大後，此時訊號相對於雜訊的比值下降，導致最後接收訊號解調失效無法辨示所攜帶訊息，所以低雜訊放大器就相當於一個守門員的角色。在微利時代的今天，想要推廣一個產品，以量制價是一個常見的手法，所以成本對一個產品推廣是否成功相當重要，如何降低成本是研發中很重要的考量重點。在成本考量下，研究趨勢都傾向使用金氧半互補式（CMOS）製程來設計電路與硬體，主要是因為它具有低成本、低功率與基頻（base band）數位電路有高度的整合性的優勢，對 SoC (system on chips) 推廣也較容易。

現今在設計低雜訊放大器時，都朝向使用由矽（silicon）做成的元件- MOSFET 來達成，而在 CMOS 技術上，由於在多晶矽（poly-silicon）閘極金屬之下與汲極端矽基底摻雜所產生的側向空乏區之間會產生寄生電容 C_{gd} ， C_{gd} 對共源極放大器會導致密勒效應（Miller effect）的產生，它會造成電路增益下降、隔離度變差及元件的 f_t 下降，因此為了要克服密勒效應的影響，有很多文獻探討改善作法。一般文獻上常見的方法有疊接放大器、源極耦合放大器、差動中和化電路及電感調諧電路等典型作法[1]。而這些電路都可以使 C_{gd} 的影響降低，但這些電路都有各自的缺點，其缺點有需要較高的供給電壓、利用相差電容匹配不易及需要一個大電感等等。

本論文則是利用轉換器負回授將輸出電壓經由磁場耦合到電晶體的源極端，由於輸入與輸出極性相反會感應出負電壓，所以閘-源極端所看到的 V_{gs} 電壓就會上升，由於密勒效應會使 V_{gs} 電壓下降，當上升的電壓與下降電壓相同時，密勒效應就會被抵消掉，達到中和目的。由於此作法元件少、適用於低電壓與低

功率操作等優點，綜合上述的說明，吾人將採用轉換器回授的方法，利用 TSMC 0.18 μm CMOS 製程所提供的元件模型，來設計一個低電壓與低功率之射頻積體電路晶片。而操作頻率的範圍是設計在 5.8 GHz 之無線區域網路。

二、轉換器回授之低雜訊放大器分析推導

轉換器回授之電路架構如圖 1 所示，它主要是在輸入與輸出兩端加入一個具負回授的轉換器，利用此轉換器可以降低由密勒效應所產生在輸入端電容所造成對高頻響應的影響。其原理是當我們將輸入電壓提高時，閘-源極電壓 V_{gs} 、汲極電流 I_D 、轉導 (transconductance) 也會跟著上升，有電壓增益下使得輸出端小訊號振幅也會跟著上升，而由密勒效應我們可以知道，當輸出端電壓增加則密勒電容效應也會跟著增加，造成高頻下輸入端電壓 V_{gs} 下降，連帶 I_D 、轉導與電壓增益都會降低。若放大器有轉換器回授電路時，當輸入電壓增加時，則轉換器輸出端電壓也會跟著增加，而此電壓經由轉換器的磁場耦合到轉換器的輸入端，但由於轉換器輸入與輸出極性相反，所以轉換器的輸入端所感應電壓是負值，此時由閘-源極端所看到的 V_{gs} 電壓就會上升，而由密勒效應所降低的 V_{gs} 電壓與轉換器負回授所升高的 V_{gs} 電壓會相互抵消，達到中和化效應，使高頻響應變好。

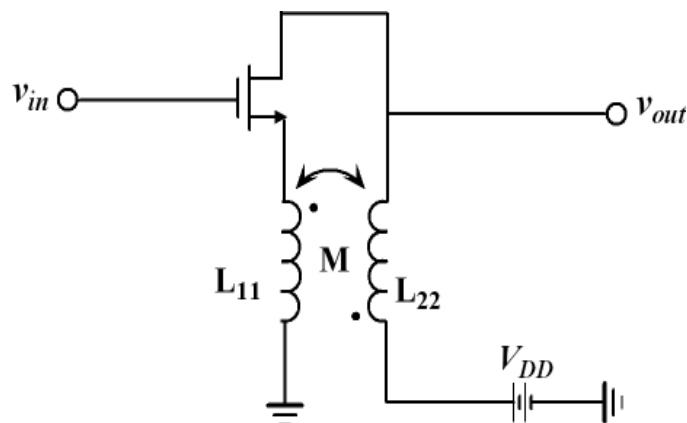


圖 1 轉換器回授電路之技術

針對此轉換器電路特性，首先利用圖 2 所示的 h -參數來等效轉換器電路特性，圖 2 中的 h -參數推導結果可參考論文〔2〕。為了推導轉換器回授的耦合量、 C_{gs} 與 C_{gd} 之間的關係式，可將圖 1 的轉換器回授放大器電路，在考慮輸入源阻抗與負載阻抗下等效成圖 3 所示，其中虛線圍起來的地方是轉換器等效電路， X_{gs} 與 X_{gd} 分別為 C_{gs} 與 C_{gd} 的容抗值， Z_{src} 是從閘極端至輸入訊號產生端的等效源阻抗，而 Z_L 是等效負載阻抗，它是由汲極端至輸出端，但不包括電感 L_{22} 的部分。接下來分析圖 3 小訊號等效模型，藉由訊號流程圖的方法（Method of signal-flow graph），可以分析電路並且計算出轉換器電壓增益。觀察可知此電路有兩種訊號流路徑，分別為順向訊號流與逆向訊號流，順向訊號流可以用圖 4 (a) 來表示，圖 4 (b) 用來表示逆向訊號流。首先由圖 4 (a) 順向訊號流程圖來分析推導，總共分為五條路徑： G_i 是小訊號電壓 v_g 至 v_{gs} 的路徑、 G_a 是小訊號電壓 v_{gs} 至 v_{out} 的輸出路徑、 G_C 為經過 C_{gd} 的訊號流路徑、 G_X 為轉換器由輸入端正向耦合到轉換器輸出端，也就是負載端。而 H_X 剛好與 G_X 相反，它代表由轉換器輸出端回授至閘極端。至於圖 4 (b) 逆向訊號流的路徑主要分為兩條，一條是經由轉換器回授至 v_g ，另一條是經由 C_{gd} 回授至 v_g ，經由這兩條逆向訊號流達到中和化所需要的條件為 $H_C = -H_X$ ，在此條件下可推導出最後的結果為

$$\frac{n}{k} \approx \frac{C_{gs}}{C_{gd}} \quad (1)$$

其中 n 為轉換器圈數、 k 為耦合係數值，中間詳細的推導過程可參考論文〔1〕；由此推導公式結果可知，我們設計轉換器時，若達到中和條件要求時，利用 C_{gs} 及 C_{gd} 的比例關係可以找到轉換器元件所需的圈數與耦合係數值。

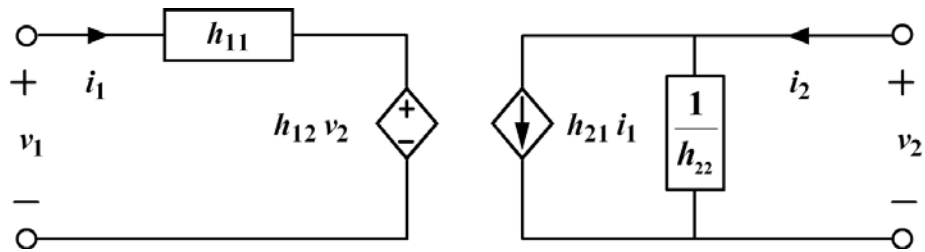


圖 2 轉換器的 h -參數電路等效模型

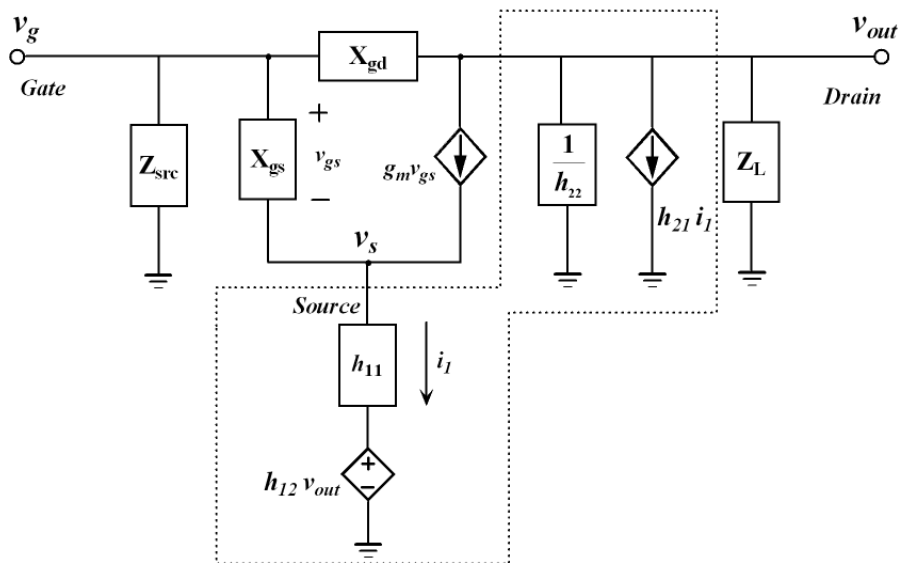


圖 3 轉換器回授放大器之小訊號等效模型

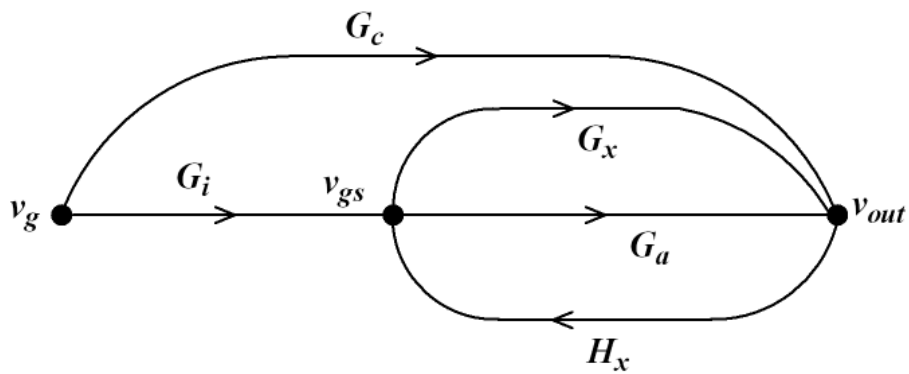


圖 4 (a) 順向訊號流程圖

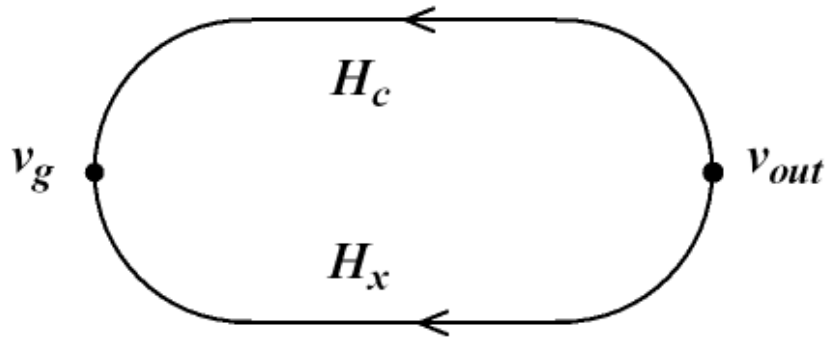


圖 4 (b) 逆向訊號流程圖

三、轉換器回授之低雜訊放大器設計

本論文的電路架構是採用差動 (differential) 雙端的電路架構，通常差動電路在一般正常的設計當中，電路都是完全對稱，故我們可以引用電子學當中的半電路法，先進行單端電路 (single-ended) 的設計，圖5為單端電路之低雜訊放大器電路架構。對低雜訊放大器而言，設計上最重要是達到低雜訊要求，也就是考量功率消耗、增益、阻抗匹配與隔絕度等因素下，儘可能使雜訊指數達到最低。因此在低雜訊放大電路設計流程，大致上分為四個部分：功率消耗的決定、MOS 電晶體閘極寬度的決定、直流偏壓電路的設計、匹配電路的設計。

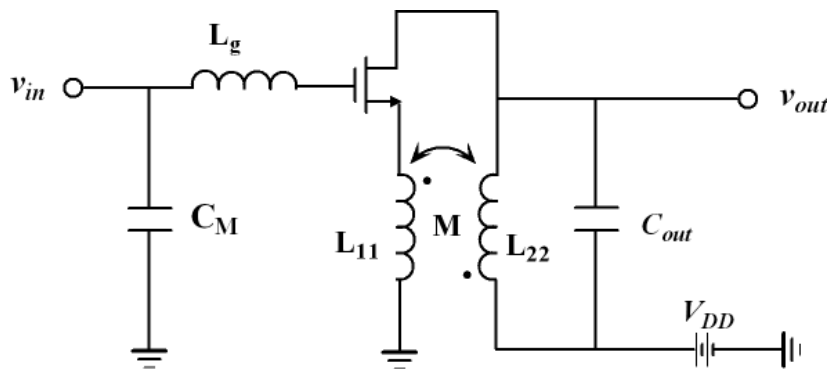


圖5 單端轉換器回授之低雜訊放大器電路

首先在決定電晶體寬度之前，必須先決定功率消耗，而功率消耗與電流有關，所以我們利用放大器最大線性輸出功率 ($P_{lin,max}$) 來找出所需的電流值， $P_{in,max}$

代表放大器輸入端在線性輸出要求下的最大輸入功率。一般典型 5GHz 無線區域網路對增益的要求為 15dB，系統規格要求輸入端三階交叉功率 $IIP3$ 必需大於 0dBm，一般而言，其最大線性輸入功率比 $IIP3$ 約低 10 dB，因此 $P_{in,max} = 0 - 10 = -10$ dBm，所以 $P_{lin,max} = -10 + 15 = 5$ dBm，最後再帶入線性功率計算之公式，若 $V_{DD} = 1V$ 則可知 I_D 電流約等於 8 mA，而功率消耗約是 8 mW。

電晶體寬度初始值的設計，本論文採用 Thomas Lee [1] 教授所提的方法來進行 MOS 元件閘極寬度的設計，此方法說明雜訊指數(NF)、消耗功率 (P_D) 與輸入端諧振電路之品質因素 (Q_s) 之間的關係，經由計算可得 NF、 P_D 與 Q_s 之間的關係如圖 6 所描述，此圖的產生是先固定 P_D 的值，然後採用不同的 Q_s 值，分別代入文獻 [1] 所列理論公式，即可畫出 NF、 P_D 與 Q_s 之間相關之圖形。利用圖 6 可進行閘極寬度的設計，首先決定我們要的 P_D 值，然後找出最小的 NF 值，再對應找出 Q_s 的值，接著把 Q_s 值帶入初始電晶體最佳化的寬度公式，我們得到初步估算為 180 μ m；最佳化電晶體閘極寬度之公式，僅能作為初始設計的估算，經由 ADS 電路模擬可知，由於考慮因素有近似下，我們並無法在模擬時達到最小雜訊因素要求，所以為了符合我們設計的需求，採用雜訊圓 (noise circle) 與增益圓 (gain circle) 之間與輸入端之匹配曲線掃瞄來做調整，參考表 1 之結果，在四個不同電晶體寬度但雜訊指數都是在 1dB 左右時，電晶體寬度為 50 μ m 時，雖有有最大增益但所需的電感太大並不適合於晶片上的設計，而電晶體寬度為 100 μ m 時是比較符合我們設計的需求，因此本設計閘極寬度最後決定為 100 μ m。然後利用 ADS 電路模擬 TSMC 所提供 MOS 元件的 Y-參數以及電容萃取公式[2]，便可萃取 C_{gs} ，其值約等於 104.7 fF，而 C_{gd} 約等於 36.1 fF。

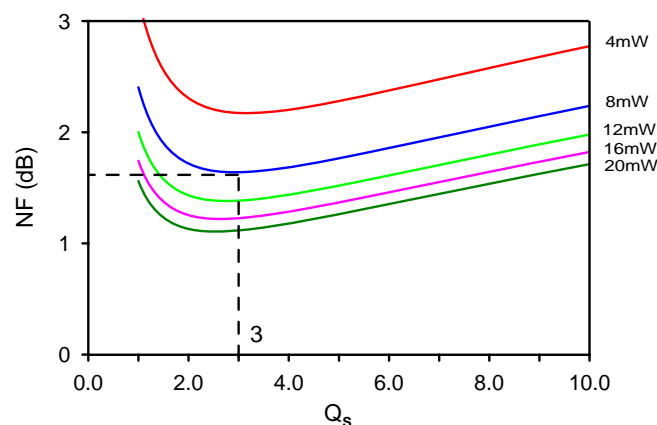


圖 6 NF、 P_D 與 Q_s 之間的關係圖

表 1 雜訊、增益與匹配值的大小比較

W	NF	gain	L _g	C _M
50 μm	0.995 dB	20.19 dB	10.8 nH	0.3 pF
100 μm	0.986 dB	18.25 dB	6.0 nH	0.5 pF
150 μm	1.018 dB	16.76 dB	4.2 nH	0.5 pF
180 μm	1.044 dB	16.02 dB	3.9 nH	0.6 pF

設計直流偏壓電路設計之前，必須先決定 I_D 電流與 V_{DD} 電壓，而 I_D 電流已決定為 8 mA、V_{DD} 電壓等於 1V，由 I_D - V_{DS} 之直流曲線圖可以找到所需的 V_{GS} 值約是 0.77V，V_{GS} 確定之後可求出轉導值約是 36.9 mA/V，詳細設計過程可參考文獻 [2]。

設計匹配電路時，在簡化模型中，我們假設 C_{gd} 的效應已被轉換器回授電路中和掉，若不考慮 r_{ds} 與輸出負載 Z_L 的影響，則輸入阻抗 Z_{in} 經推導後為[1]

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{g_m}{C_{gs}} L_{11} + j\omega(L_{11} + L_g) - j \frac{1}{\omega C_{gs}} \quad (2)$$

令其實部等於 50Ω，虛部為 0 可得到 L₁₁ 等於 0.14 nH，若操作頻率為 5.8 GHz 則 L_g 約等於 7.2 nH。在設計輸出阻抗匹配時，必須先求出 L₂₂ 的值，利用之前提到的中和化條件關係式(1)可知，寄生電容比值等於轉換器圈數與耦合係數比，當 L₁₁ 等於 0.14 nH，L₂₂ 利用轉換器圈數比之關係式求得約為 0.56nH，L₂₂ 求得之後其輸出阻抗匹配的部分就可以被決定，利用一個電容與汲極端的電感做並聯，此電容值 C_{out} 可用並聯諧振公式求出其值為 1pF。

四、模擬結果與電感設計

將上述所設計之參數，利用ADS高頻電路模擬程式進行模擬，並且利用ADS做最佳化的調整，在頻率等於5.8 GHz時，將模擬之結果整理為表2所示(表2右邊所示為文獻中可找到較佳之量測結果[5])。將所設計的初始值，代入ADS電路模擬軟體當中可得結果，因所得結果有所誤差，所以再利用ADS進行微調的動作，

以得到符合我們電路要求之結果，若轉換器的部分使用 L_{11} 等於0.16 nH、 L_{22} 等於0.7 nH及耦合係數 k 為0.7，此時設計匹配電路所需的元件值如表3所示。

表2 理想電路模擬結果與文獻[5]之量測結果比較

輸入端反射損耗 S_{11}	-15.44 dB	-10dB 以下
輸出端反射損耗 S_{22}	-18.4 dB	-10dB 以下
順向增益係數 S_{21}	18.76 dB	14.2dB
逆向增益係數 S_{12}	-28.11 dB	N/A
雜訊指數 NF	1.38 dB	0.9dB
IIP3	6.8dBm	4.2dBm
功率消耗	16mW	16mW

表3 轉換器回授 LNA 之被動元件值

L_{11}	L_{22}	k	L_g	C_M	C_{out}
0.16 nH	0.7 nH	0.7	5.86 nH	0.7 pF	1 pF

為了設計上述所提的電感（5.86 nH），我們設計一個三圈半的方形電感結構[4]，將此方形電感幾何圖輸出後，再利用IE3D進行全波電磁分析，可以得到微波波段此電感的S-參數，再使用 π 模型萃出品質因數與電感值，但我們發現當頻率在5.8 GHz時品質因數只有3.42[4]，而品質因數太小是由於金屬與矽基材所造成的能量損耗。一般而言多邊形與圓形的品質因數相較於方形會比較高，若使用與方形電感尺寸大小相同的八邊形電感，模擬其S-參數並萃取出Q值與方形結構比較，由圖7可知，在操作頻率為5.8 GHz時，八邊形電感之品質因數為4.63，但方形電感之品質因數只有3.42(square line)。然而，一般對單石晶片電感的品質因數要求都希望在5以上，此時單石晶片電感之耗損比較小，對電路所造成的雜訊指數也會比較小，為了達到高Q值的要求，吾人採用後製程（post-process）的作法

去調整矽基底 (silicon-substrate) 的厚度, 由圖7的結果可知矽基底厚度變薄, 在操作頻率為5.8 GHz時的品質因數等於8.42(oct_thin line), 相較於方形電感與八邊形電感之矽基底厚度為650 μm 的品質因數(oct_thick line), 由圖7可知分別提高約146%與82%。圖8為本論文在考慮轉換器電路之後的電感幾何結構圖, 此結構圈數定為三圈半, 它是最後使用於佈局的八邊形電感結構圖。

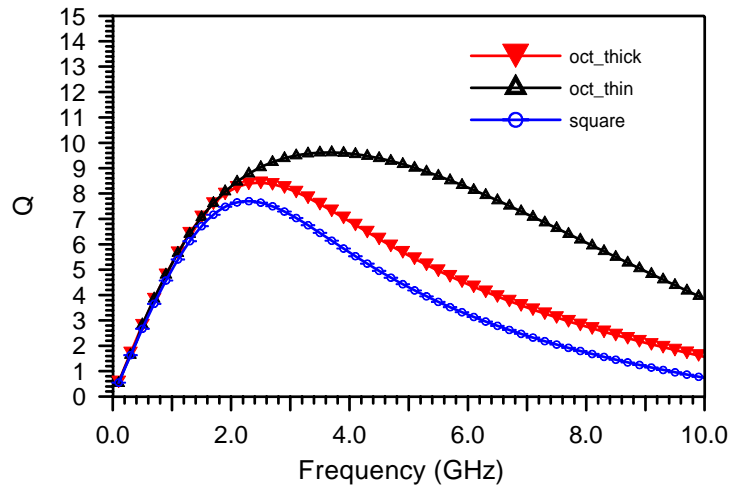


圖 7 方形電感和八邊形電感基底厚度品質因數比較

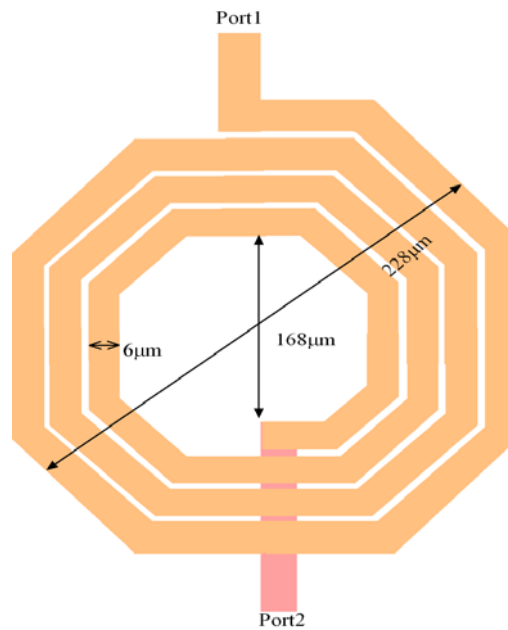


圖 8 單石晶片之八邊形電感結構圖

針對轉換器回授放大器的設計，我們所需求的單端轉換器主線圈 L_{11} 是0.16 nH、次線圈 L_{22} 約是0.7 nH，轉換器耦合係數約需0.7，也就是互感約為0.2 nH，圈數比要求約是1 : 2。若要符合上述要求，必須設計轉換器的幾何結構達到所需電氣特性[5]。一般CMOS製程，電感所佔面積 $170 \times 170 \mu\text{m}$ 時，若金屬線寬 $8 \mu\text{m}$ ，一圈的自感量利用GMD(Geometric mean distance)公式可得大約0.475 nH[4]，線距若為 $1 \mu\text{m}$ ，第二圈自感量大約為0.342 nH，而第一圈與第二圈互感量約為0.185 nH，因此我們將第二圈自感利用兩個迴圈做並聯當作 L_{11} 主線圈，其感值估算約為0.19 nH，而次線圈的電感是在兩圈之間插入一個相互纏繞的串聯差動式電感(Differential monolithic inductor)，以達到 L_{22} 為0.7 nH的自感要求，其間的互感約是0.2 nH。最後本論文所使用的轉換器架構上視圖，如圖9所示，其中P+與P-分別代表轉換器主線圈端(primary windings)的輸入與輸出端，而S+與S-分別代表轉換器次(secondary windings)線圈端的輸入與輸出端。此結構外徑(OD)為 $170 \mu\text{m}$ 、線寬 $8 \mu\text{m}$ 、線距為 $1 \mu\text{m}$ ，它是對稱式結構，所以對差動訊號而言，線圈中間處代表虛接地(Virtual ground)。考慮圖9的幾何尺寸，若基底厚度為 $30 \mu\text{m}$ ，我們可利用IE3D進行差動式S-參數模擬，所得結果如圖10(a) (b) (c) 實線所示。為了驗證模擬結果，另用有限元素法(FEM)進行三維電磁模擬，所得結果可知IE3D所得結果應可接受。

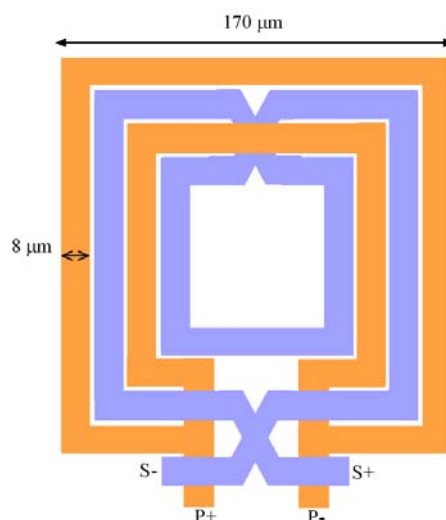


圖 9 轉換器之上視圖

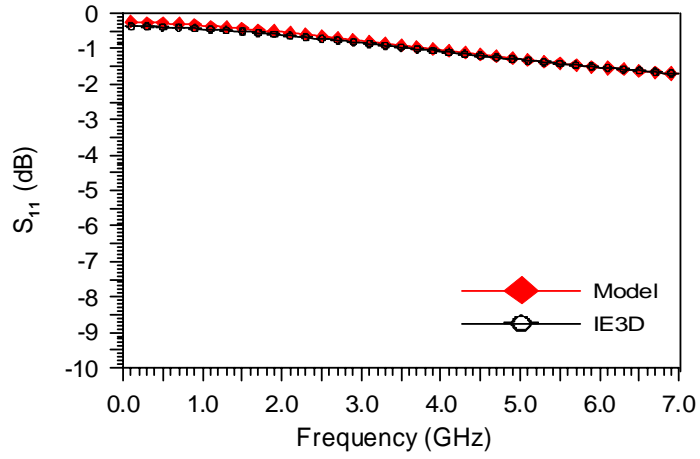


圖 10(a) 輸入回流損耗

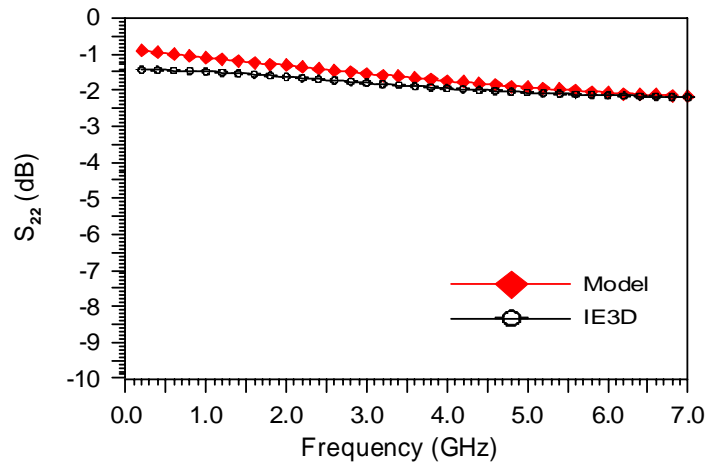


圖 10(b) 輸出回流損耗

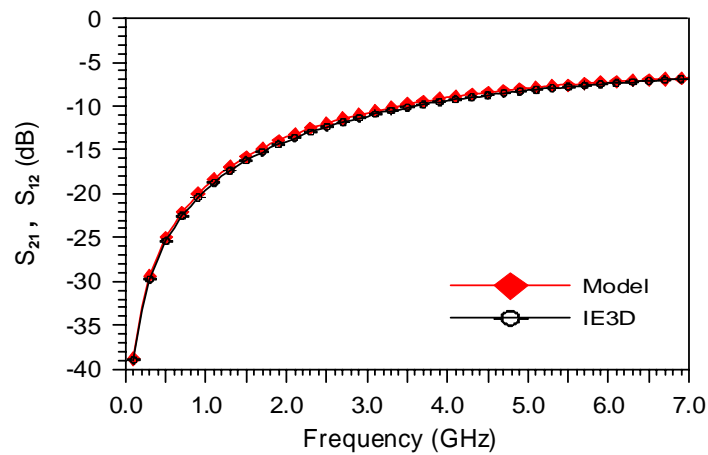


圖 10(c) 順向與逆向插入損耗

單石轉換器結構所產生寄生雜散效應也會影響高頻的響應[6]，因此其特性值必須進行估算。如圖 11 所示，其中 C_{ps} 是表示轉換器的主線圈金屬與次線圈金屬之間的等效互容， C_{pp} 與 C_{ss} 分別是轉換器的主線圈金屬與次級線圈金屬的等效自容， r_{pp} 與 r_{ss} 分別等效主線圈與次級線圈的金屬損耗，又 R_{eddy} 代表螺旋結構的渦流效應所產生的金屬渦流損耗 (eddy-current loss)， C_{ox} 為氧化層電容、 C_{sub} 及 R_{sub} 分別代表矽基底寄生的等效電容與損耗電阻，這些元件值詳細計算過程請參閱論文 [2]；而自容部份在愈高頻時影響逐漸顯著，目前計算自容大小可採用分散式電容模型 (Distributed Capacitance Model ; DCM) [7]。有了這些元件值，電感雜散效應可於設計時納入考慮，最後利用 ADS 可模擬出轉換器的 S-參數，與利用 IE3D 的電磁模擬的 S-參數，可以驗證此模型之正確性[2]。

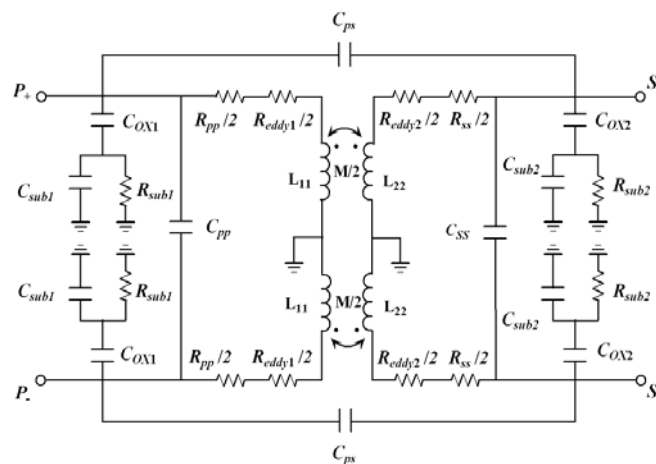


圖 11 轉換器之等效電路模型

五、考慮雜散效應的模擬結果

利用前面理想電路所匹配的最佳化結果，然後再將先前所設計的實際非理想轉換器及電感模型含入考量，利用 ADS 可模擬結果，由結果可以得知在加入實際電磁特性的考慮後，中心操作頻率都不是在 5.8 GHz，所以當我們考慮實際有高頻特性的轉換器時，其匹配電路就必須再重新設計過。而實際匹配電路的設計，由於單石電感損耗較大，因此直接將電感做在晶片內的設計(on-chip)，可能規格不易達成，因此吾人分別使用晶片外(off-chip)與晶片內(on-chip)兩種方式來

設計 LC 匹配 (L-match) 之電路。off-chip 元件比較沒有高頻寄生效應及損耗問題，但是成本比較高；而設計 on-chip 的 LC 匹配電路，電路所使用的電感器是一個單石平面電感，尺寸為內徑為 $168\ \mu\text{m}$ 、寬度為 $6\ \mu\text{m}$ 及金屬間隙為 $2\ \mu\text{m}$ 的八邊形電感，也是利用先前由 IE3D 所模擬出的高頻特性結果，代入放大器電路當中，而電容的部分是利用 TSMC $0.18\ \mu\text{m}$ CMOS 所提供的 MIM 電容，其輸入端的匹配電容 C_M 為 $10\times 10\ \mu\text{m}$ 與 $15\times 15\ \mu\text{m}$ 兩個電容做並聯，輸出端的匹配電容 C_{out} 為三個 $15\times 15\ \mu\text{m}$ 與一個 $10\times 10\ \mu\text{m}$ 的電容做並聯，放大器電路佈局圖如圖 12 所示。利用 ADS 模擬出結果，由比較結果可知當操作頻率為 $5.8\ \text{GHz}$ 時，on-chip 雜訊指數比 off-chip 大了 $1.2\ \text{dB}$ ，順向增益的部分也是比 off-chip 差，其增益大小只剩下 $13.28\ \text{dB}$ ，如圖 13(a) 所示，而雜音指數如圖 13(b) 所示。而圖 14(a)~(b) 所示之結果為本論文所設計的差動式回授 LNA 電路線性度模擬結果，由結果與表 2 參考文獻量測結果比較可知，本研究結果以符合系統對低雜訊放大器設計要求。

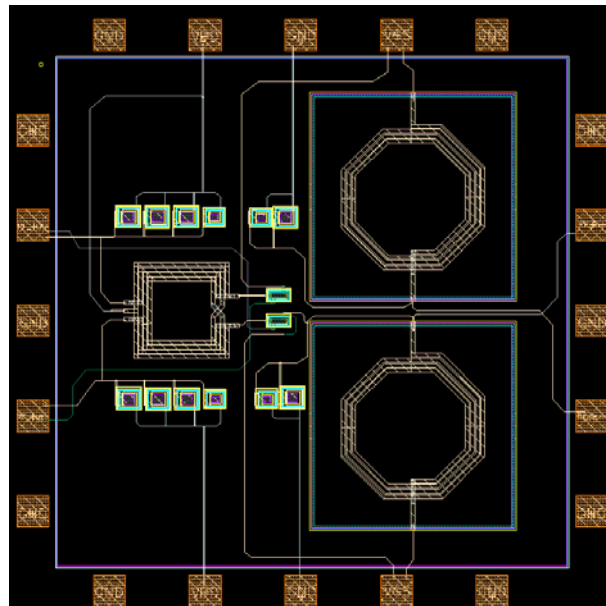


圖 12 差動式轉換器回授之低雜訊放大器的佈局圖

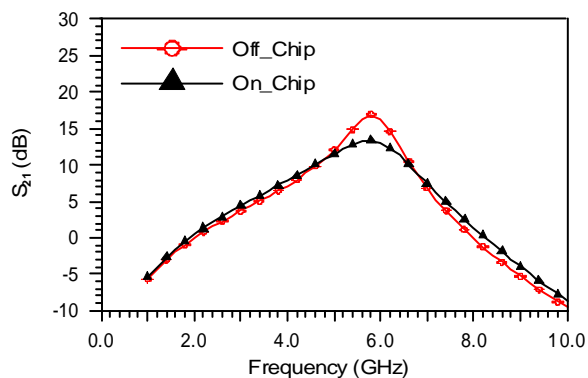


圖 13(a) 順向功率增益

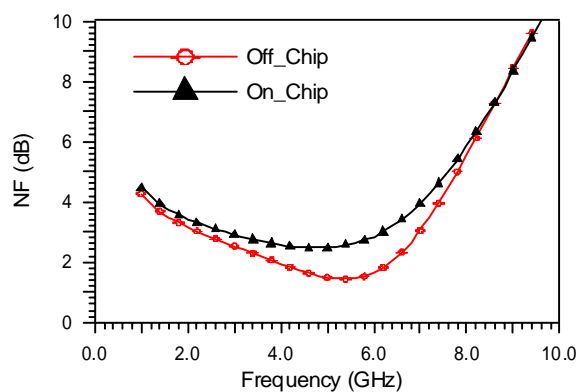


圖 13(b) 雜訊指數

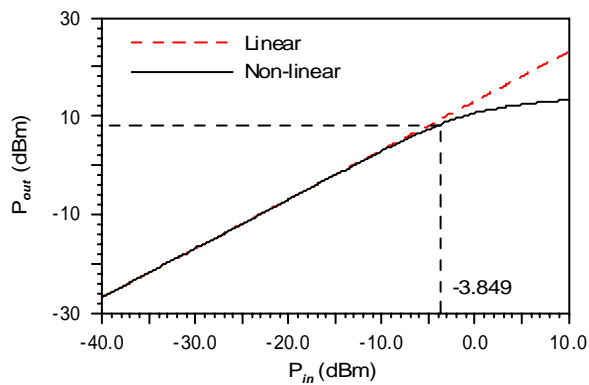


圖 14(a) 1-dB 壓縮點

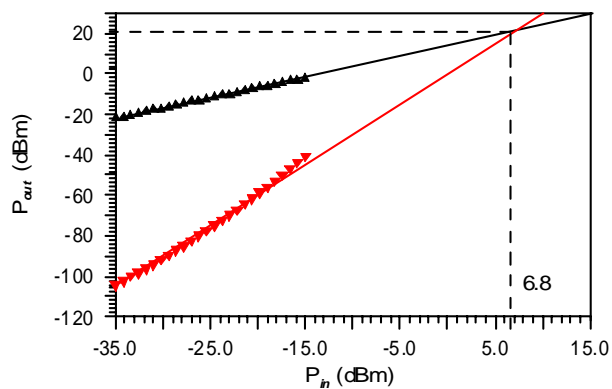


圖 14(b) 輸入三階截距點

六、結論

轉換器回授之低雜訊放大器電路設計結果分為 off-chip 與 on-chip 匹配兩部分，第一部分 off-chip 的設計模擬結果， S_{11} 為-20.45 dB、 S_{22} 為-17.1 dB、 S_{21} 為 16.9 dB、 S_{12} 為-34.7 dB 及 NF 為 1.53 dB；第二部分 on-chip 的結果， S_{11} 為-22.68 dB、 S_{22} 為-13.8 dB、 S_{21} 為 13.28 dB、 S_{12} 為-38.34 dB 及 NF 為 2.7 dB，而線性度之結果 P_{1dB} 為-3.849 dBm 與 IIP3 為 6.8 dBm。另外也由結果發現，若將電感做在積體電路當中，其雜訊會較大且順向功率增益也會下降，晶片內設計電感時，由於吾人所設計的電感值較大，故所需的晶片面積也會較大，另外高頻時單石電感的 Q 值也會下降，造成損耗程度與雜訊也會提高。

本論文的電路因目前製程結果尚未完成，故無法進行 IC 量測驗證設計結果，而在未來的目標，希望能完成 IC 製作與實驗驗證，再改善電路的效能以達到設計規格要求。本電路還有一些要改善的部分，就是單石電感太 (Stacked inductor and transformer)來設計，並且可以搭配不等均勻的金屬寬度來設計，以提高 Q 值為目的。

參考文獻

- T. H. Lee, *The Design of CMOS Radio-Frequency Integrates Circuits*, Cambridge U.K., Cambridge University Press, 1998.
- C. H. Wu, C. C. Tang, and S. I. Liu, "Analysis of On-Chip Spiral Inductors Using the Distributed Capacitance Model," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 471-480, June 2003.
- D. J. Cassan, and J. R. Long, "A 1-V transformer-feedback low-noise amplifier for 5-Hz wireless LAN in 0.18- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 38, no. 3, pp. 427-435, Mar. 2003.
- G. Klments, M. Bhagat, D. Jessie, and N. Frederick, "Analysis and Circuit Modeling of On-Chip Transformer," *Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 167-170, Sept. 2004.
- J.R. Long, "Monolithic transformers for silicon RF IC design," *IEEE J. Solid-State*

Circuits, vol. 35, no. 9, pp. 1368-1382, Sept. 2000.

康信雄，“利用轉換器回授方式於 5.8-GHz 之 CMOS 低雜訊放大器的設計”，國立宜蘭大學電子工程系碩士論文，民國 95 年 7 月。

楊心運，周正豪，陽淵荏，盧銘祥，李汪哲及邱建文，“微波被動元件最佳化設計”，國立宜蘭大學電子工程系專題報告，民國 95 年 1 月。