



National Ilan University

國立宜蘭大學工程學刊第五期, 49-64 頁, 2009 年 3 月
Bulletin of College of Engineering, National Ilan University, NO. 5, P. 49-64, Mar.. 2009

衝擊離子化效應受金氧半場效電晶 體微縮之影響

詹國志¹、陳俊佑¹、江孟學²

1. 國立宜蘭大學電子工程學系研究所研究生
2. 國立宜蘭大學電子工程學系副教授

摘要

拜半導體技術一日千里之賜，電晶體尺寸持續縮小，造成元件通道間之電場隨著快速上升，此時與高電場有關之效應也就越來越重要。當電子經過通道時被電場加速，進一步導致晶格碰撞，如電子能量夠大將產生成對的電子與電洞。本篇論文重點在於衝擊離子化效應受金氧半場效電晶體微縮之影響，透過不同的物理模型之三維數值模擬，分別針對溫度、摻雜濃度、通道長度及閘極絕緣層厚度的變化做特性分析。我們發現在不同通道長度下的元件，其衝擊離子化效應受溫度的影響大不相同，尤其當更精確的考慮能量平衡的效應時，所得到的溫度敏感度與傳統的載子傳輸結果卻相反。在衝擊離子化影響日益顯著的情況下，這些研究成果對未來先進元件的持續微縮工作極具參考價值。

關鍵字：衝擊離子化、晶格碰撞、Chynoweth model、Valdinoci model、能量平衡



Impact ionization phenomenon in MOSFET scaling

Kuo-Chih Chan¹, Chin-Yu Chen¹ Meng-Hsueh Chiang²

1. Graduate Student, Department of Electronic Engineering, National Ilan University
2. Associate Professor, Department of Electronic Engineering, National Ilan University

Abstract

High field effects have become significant as the transistor size, driven by fast technology progress, continues to scale. Among high field effects, impact ionization due to hot carriers is one of major issues in scaled devices. In this paper, we investigate such effect in ultra-scaled SOI MOSFETs. Effects of impact ionization in different doping levels, oxide thicknesses, and channel lengths are evaluated via 3D numerical simulations with different physical models. Furthermore, the dependence of impact ionization on temperature is comprehensively analyzed. When energy balance is taken into account, the temperature dependence becomes opposite to the case with conventional drift and diffusion transport. As implied by the physical insight, impact ionization would be inevitable and even more substantial for ultra-scaled devices operated at elevated temperature.

Keywords: impact ionization, lattice scattering, Chynoweth model, Valdinoci model, energy balance

一、 前言

很多半導體重要的技術其實是由幾百年前發現的製程技術延伸而來，對於科技日新月異的變化，使得技術需要不斷的提升及不斷的改進元件的良率與效率。當半導體製程的技術持續的進步，元件的尺寸也不間斷地微縮，因為元件的微縮而使得在相同體積下的 IC 可容納之 IC 電晶體數目也能持續增加，因而可以降低製程上的成本與提升 IC 運算速度，使得有更好的電子元件可以利用。

但也因為元件不斷持續的微縮，相對所面臨的問題也就更加的明顯與複雜，在適於大尺寸元件的傳統理論中所忽略的短通道效應也因而一一浮現出來，並隨著微縮的演進使得所面臨的問題變的越來越明顯，因此對於在元件的設計上所必須考慮的層面也就更加的縝密與複雜了，進而對於元件設計的困難度也更加提升。

對於現知短通道中的高電場效應，已有不少相關的專家、學者投入研究並有許多有意義的重要性發現。在衝擊離子化(impact ionization)效應方面的研究，因其在傳統 bulk 金氧半場效電晶體(MOSFET)影響較有限，相對較少引起關注，但在元件尺寸持續的微縮下，因為衝擊離子化會隨著溫度、濃度、元件大小、物理計算方式等的因素而改變，其所造成的影響也更加的深遠與複雜，所以此篇內文就在探討衝擊離子化對於溫度改變及其餘因素改變的特性與影響。在衝擊離子化效應日益顯著的情況下，這些研究成果對未來先進元件的持續微縮工作極具參考價值

二、 漏電與通道長度之比較關係

在探討衝擊離子化的影響前，我們先討論元件的漏電與通道長度之關係，圖 1 所示為三維元件模擬(Taurus)的基本架構，針對 PD SOI (partially depleted(部份空乏) silicon-on-insulator(絕緣層上矽)) MOSFET 通道長度為 65 nm 及 130 nm

設計之結構，此元件矽本體中上層具較低摻雜濃度(NBL)的厚度設計為 20 nm，閘極絕緣層厚度(Tox)分別設定為 2.3 nm 及 2.5 nm(厚度參照 ITRS[4])，而 NBH 濃度固定為 $5 \times 10^{19} \text{ cm}^{-3}$ ，所謂的 NBH 與 NHL 分別代表所摻雜濃度的高與低，低摻雜較易形成空乏而進入反轉區並產生通道，因此在矽本體上層摻雜濃度較低稱作 NBL(L 代表 Low)。為了控制短通道效應，在矽本體上層空乏區的厚度必須小於通道長度，以抑制來自於汲極的側向電場影響，所以下層摻雜濃度會高出上層許多稱作 NBH(H 代表 High)。

針對該通道長度 65 nm 及 130 nm，閘極絕緣層厚度分別固定為 2.3 nm 及 2.5 nm，在摻雜濃度不變的條件下，從圖 2 所示的模擬數據，可以觀察到通道長度較長者具有較低的漏電流(I_{off})，當元件微縮時，其通道側向電場影響力也會因此加大，所以其漏電情況也會因此而上升。此外當閘極絕緣層厚度較薄時，其漏電流較大，因為在絕緣層厚度較薄的情況下，電子密度提高導致通道擴散電流上升，所以漏電情況會比絕緣層較厚時明顯，此情況在較高溫下依舊成立(如圖 3)。但另一方面，在短通道效應極顯著的情況下，反倒有可能因絕緣層厚度較薄而降低短通道效應(如汲極引致能障下降)，反而獲得較低漏電。

針對不同閘極絕緣層厚度為 2.3 nm 及 2.5 nm，固定通道長度為 65 nm，工作環境溫度分別為 300K 及 350K 的情況下，進行漏電流測試，如圖 4 所示，可清楚比較出，當絕緣層厚度較厚時，其漏電流較小，當其通道長度加長至 130 nm(如圖 5)，其特性依舊如此，當工作環境溫度提升至 350K 時，其特性也一致，不過元件漏電也因此隨著溫度上升而跟著變大了，與原工作環境溫度為 300K 的漏電值則大出許多，因為當溫度提升時，本質載子濃度(n_i)也會跟著上升，其漏電情況也會因此而變得較為明顯。

針對固定通道長度、固定絕緣層厚度、工作環境溫度不變且 NBH 濃度均為 $5 \times 10^{19} \text{ cm}^{-3}$ 條件下，將濃度(NBL)分別設為 $1 \times 10^{15} \text{ cm}^{-3}$ 及 $2 \times 10^{18} \text{ cm}^{-3}$ ，以探討漏電流之變化(如圖 6)，當 NBL 濃度提升時，可以有效降低漏電流，因為當

濃度提升時，其臨界電壓會上升，而使得漏電情況也會因此而改善。

三、衝擊離子化

在介紹完元件特性後，讓我們進入衝擊離子化現象之主題探討。當半導體中的電場增加到超過了某一定臨界值，載子將得到足夠的動能並藉由雪崩過程(avalanche process)產生了電子-電洞對。

當汲極接上高電壓時，易使衝擊離子化的現象加速產生。例如對 n 通道的 PD SOI MOSFET 來說，所遇到衝擊離子化所產生的多數載子(P 型基體內之電洞)，因為基體並未接地(浮體)，而導致電洞無法被即時排出，進而使得電洞儲存在基體之中，並導致基體的電位上升，所謂浮體效應產生，此時其臨界電壓將下降，由此可知衝擊離子化的重要性。

為了量測衝擊離子化所造成的影響，但由於 SOI 結構本身有掩埋氧化絕緣層的阻隔，而且量測值必須要有一個基準點即接地點，因此如要觀測衝擊離子化所產生的額外基底電流時，必須設置一接地點在矽半導體層內部，如圖 7 所示。衝擊離子化的衝擊率計算方式有兩種模型，分別是 Chynoweth 和 Valdinoci 的模型。下面會分別介紹其計算方式與兩者特性比較：

首先介紹 Chynoweth，此模型本身是根據電場的變化來決定衝擊率產生的情況，並用下列式子作為衝擊函數 α 的計算方式[2]：

$$\alpha = a \exp\left(\frac{-b}{E}\right) \quad (1)$$

其中 a 與 b 為常數，而 E 則為有效驅動電場。而 Valdinoci 則是進一步對於溫度改變做為係數修正量變化之依據來計算衝擊率[3]：

$$\alpha = \frac{F}{a(T) + b(T) \exp[d(T)/(F + c(T))]} \quad (2)$$

其中 F 代表電場

$$a(T) = a_0 + a_1 T^{a_2} \quad (3)$$

$$b(T) = b_0 \exp(b_1 T) \quad (4)$$

$$c(T) = c_0 + c_1 T^{c_2} + c_3 T^2 \quad (5)$$

$$d(T) = d_0 + d_1 T + d_2 T^2 \quad (6)$$

上述模型方程式中的係數值如表 1 所示。

Parameters	Electrons	Holes
a_0	4.3383	2.376
a_1	-2.42×10^{-12}	0.01033
a_2	4.1233	1
b_0	0.235	0.17714
b_1	0	-0.002178
c_0	1.6831×10^4	0
c_1	4.3796	0.00947
c_2	1	2.4924
c_3	0.13005	0
d_0	1.233735×10^6	1.4043×10^6
d_1	1.2039×10^3	2.9744×10^3
d_2	0.56703	1.4829

表 1 Valdinoci 的參數表[3]

根據上一章的原始 PD SOI 架構並參照 ITRS[4]，我們將閘極長度微縮到 25 nm，而絕緣層 Tox 厚度設定為 1.3 nm。其摻雜濃度 $NBL = 1 \times 10^{17} \text{ cm}^{-3}$ 、 $NBH = 5 \times 10^{19} \text{ cm}^{-3}$ (如圖 8)。

針對閘極長度為 25 nm 的 SOI，我們比較衝擊離子化(II)與無衝擊離子化(No II)間的 I_{DS} 對 V_{GS} 曲線特性表現差異。如圖 9 所示，我們可以發現當有考慮衝擊離子化時，漏電(I_{off})會比沒考慮衝擊離子化時來的大。因為當衝擊離子化現象產生時，由於碰撞出成對的電子與電洞，而多餘電洞會累積在底部掩埋絕緣層上，造成電位上升，因而產生浮體效應，造成臨界電壓的下降。所以漏電流會比沒衝擊離子化大了許多。

在圖 10 可觀察到當汲極接高偏壓時，基底電流(I_{SUB})增加使得 I_{SUB} 增加函數(M-1)也就因此而上升(在下一章會有針對 M-1 的討論)，因為當汲極接高偏壓時，相對的側向電場因此而上升，而電子在移動時，所會碰撞的情況也就相對的提升了，所以衝擊離子化效應與側向電場(或汲極偏壓)有著絕對的關係。

四、 模型特性比較

此章節主要探討在使用不同模型下，不同通道長度、絕緣層厚度及溫度之衝擊離子化效應比較。為了解其效應對元件特性的影響，我們從模擬數據中計算 I_{SUB} 增加函數(M-1)的數值，其計算方式為：

$$M-1 = \frac{(I_D - I_S)}{I_D} \quad (7)$$

其中 I_D 為汲極電流， I_S 為源極電流。

首先針對通道長度為 13 與 20 nm 在高偏壓($V_{DS} = 1.1V$)及 300K 情況下進行模擬比較，如圖 11 中所示，Valdinoci 在通道長度變化下對於(M-1)的變化量明顯的比 Chynoweth 大許多，反觀當通道不同則 Chynoweth 預測之(M-1)變化量受到通道長度改變之影響較小。

針對閘極絕緣層厚度(Tox)的變化(分別為 1.3 nm 與 1.6 nm)在高偏壓($V_{DS} = 1.1V$)及 300K 進行模擬比較。如圖 12 所示，Chynoweth 預測絕緣層厚度對於(M-1)變化量比 Valdinoci 的結果較為明顯，反觀在 Valdinoci 的結果，雖然(M-1)變化率也會改變，但是還是比 Chynoweth 對於絕緣層厚度敏感度影響低出了許多。

針對 Chynoweth 和 Valdinoci 模型的比較，我們接著測試溫度改變時的變化，此處使用原始元件尺寸且濃度均不變，對於通道長度為 13 nm 進行模擬，如圖 13 比較可發現 Valdinoci 對於溫度變化而造成(M-1)的變化量比起 Chynoweth 少了許多，此兩種模型對於溫度的敏感度因計算方式的差異產生的結果不盡相同，但都一致的預測 M-1 會隨著溫度上升而下降。在此處使用傳統載子傳遞方式(包括漂移與擴散)運算的條件下，因溫度提升則遷移率(mobility)下降，進而導致衝擊率降低，也就是 M-1 會隨著溫度上升而下降。

五、 能量平衡

承續前面討論 PD SOI 受衝擊離子化效應的影響後，此章節加以考慮能量平衡(energy balance)之特性。所謂能量平衡是用來計算載子能量之變化，也可以利用其能量變化差異來計算衝擊離子化之衝擊率，所以其執行上也更增加了複雜與困難度，然而在奈米級元件中，因其尺寸已很接近載子的平均自由路徑長度，此時有考慮能量平衡的必要性。本實驗針對 Valdinoci，分別進行濃度不同及工作環境溫度不同的實驗模擬。當加入能量平衡時，數值模擬所增加的能量平衡計算方程式如下[5]：

$$Div\vec{S}_n = \vec{J}_n \nabla \left(\frac{E_c}{q} \right) - W_n \quad (8)$$

$$Div\vec{S}_p = \vec{J}_p \nabla \left(\frac{E_v}{q} \right) - W_p \quad (9)$$

\vec{S}_n 、 \vec{S}_p 分別為電子與電洞能量流量密度， \vec{J}_n 、 \vec{J}_p 分別為電子與電洞電流密度， W_n 、 W_p 分別為電子與電洞能量的損失(或變化)。

本實驗針對 PD SOI 分別在考慮能量平衡(EB)與不考慮能量平衡(No EB)條件下，給予摻雜濃度(NBL)為 $5 \times 10^{14} \text{ cm}^{-3}$ 以進行實驗分析模擬。在加入能量平衡所需計算電子與電洞溫度(能量)的額外條件後，如上章節的分析方法，我們再次探討衝擊率及(M-1)變化率，從獲得的結果發現當考慮 EB 時(M-1)受溫度影響之現象與 No EB 現象相反(如圖 14 與圖 15)，當考慮 EB 時其工作環境溫度高者之(M-1)較大，而當不考慮 EB 時，發現其工作環境溫度高者之(M-1)反而較小，且當考慮 EB 之情況其(M-1)變化率比 No EB 小了許多(如圖 16)。因為 EB 本身在計算衝擊率時是使用載子能量(或溫度)來推算，並不是根據電場，又因受電場加速的載子能量上升與電場之間有一延遲關係(能量放鬆時間)，所以根據載子能量所計算得到的衝擊率較電場計算方式小。在對溫度的變化方面，傳統(No EB)的載子速度計算是根據遷移率，當溫度提升則遷移率下降，進而導致衝擊率

降低，其中忽略了載子自由路徑長度受到溫度的影響，所以與 EB 所預測的衝擊率之溫度敏感度相反，從這個結果可以知道能量平衡對尺寸微縮後的元件之重要性。

六、結論

在此文中我們利用了不同的衝擊離子化模型所得到的模擬結果及物理特性的分析，探討當元件尺寸持續的微縮下衝擊離子化效應是如何隨著溫度、濃度、元件大小、物理計算方式等的因素而改變。我們發現在不同通道長度下的元件，其衝擊離子化效應受溫度的影響大不相同，尤其當更精確的考慮能量平衡的效應時，所得到的溫度敏感度與傳統的載子傳輸結果卻相反。在衝擊離子化影響日益顯著的情況下，這些研究成果對未來先進元件的持續微縮工作極具參考價值。

參考文獻

- [1] 施敏原著，黃調元譯，2002，半導體元件物理與製作技術(第二版)，國立交通大學出版社。
- [2] A. G. Chynoweth, Mar. 1958, "Ionization rates for electrons and holes in silicon," *Physical Review*, vol. 109, pp. 1537-1540.
- [3] M. Valdinoci, D. Ventura, M. C. Vecchi, M. Rudan, G. Baccarani, F. Illien, A Stricker and L. Zullino, Sep. 1999 "Impact-ionization in silicon at large operating temperature," in *Proc. International Conference on Simulation of Semiconductor Processes and Devices*, pp. 27-30.
- [4] *International Technology Roadmap for Semiconductors*, 2004. [Online]. Available: <http://public.itrs.net/>
- [5] Y. Apanovich, P. Blakey, R. Cottle, E. Lyumkis, B. Polksy, A. Shur, and A. Tcherniaev, "Numerical simulation of submicrometer devices including coupled nonlocal transport and nonisothermal effects, May 1995, " *IEEE Trans on Electron Devices*. vol. 42, pp. 890-898.

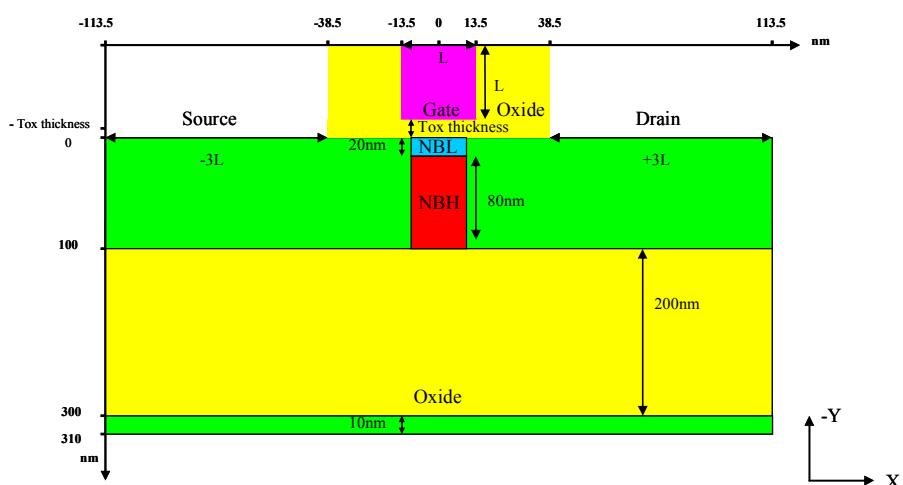


圖 1 PD SOI MOSFET 的基本元件結構圖

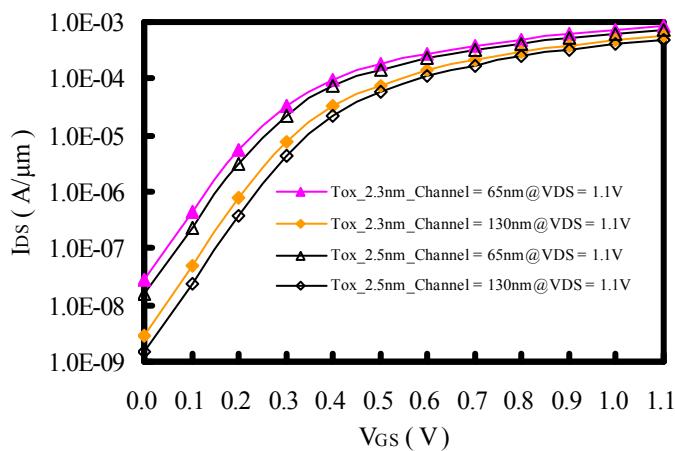


圖 2 絝緣層厚度為 2.3 nm 及 2.5 nm 時，不同通道長度之 I_{DS} 對 V_{GS} 特性比較曲線圖
 (工作環境溫度固定為 300K)

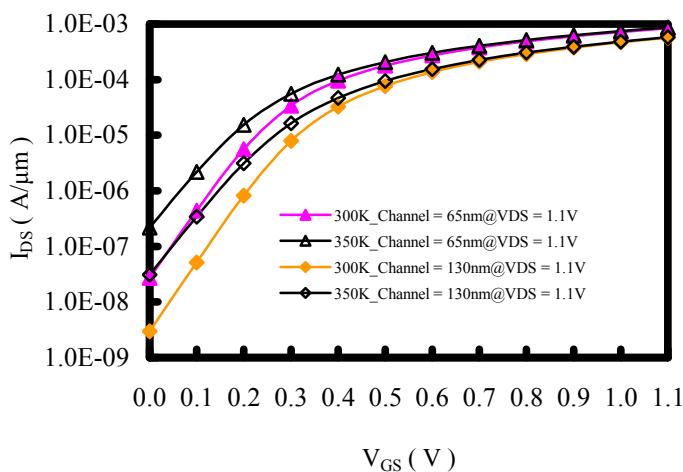


圖 3 絝緣層厚度為 2.3 nm 時，不同通道長度之 I_{DS} 對 V_{GS} 特性比較曲線圖
 (工作環境溫度為 300K 及 350K)

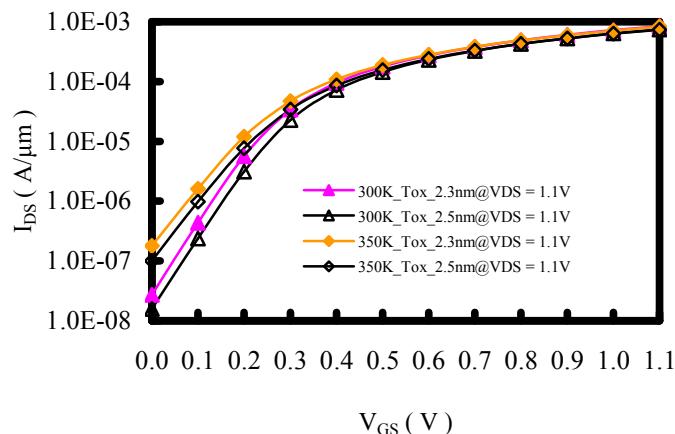


圖 4 通道長度為 65 nm 時，不同絝緣層厚度之 I_{DS} 對 V_{GS} 特性比較曲線圖

(工作環境溫度為 300K 及 350K)

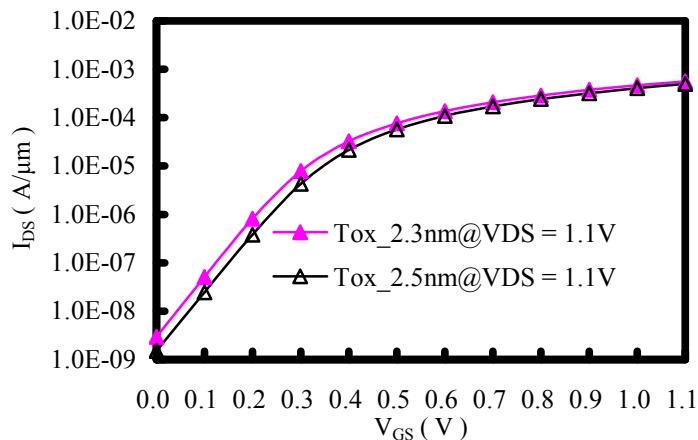


圖 5 通道長度為 130 nm 時，不同絕緣層厚度之 I_{DS} 對 V_{GS} 特性比較曲線圖
(工作環境溫度固定為 300K)

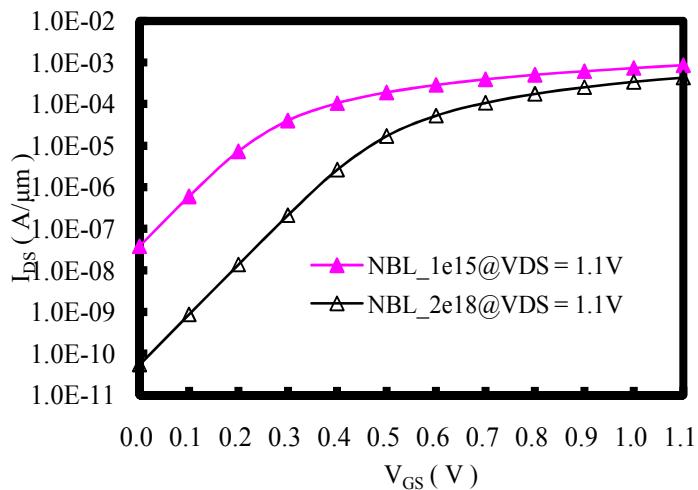


圖 6 通道長度為 65 nm 及絕緣層厚度為 2.3 nm 時，不同 NBL 濃度之 I_{DS} 對 V_{GS} 特性比較曲線圖
(工作環境溫度固定為 300K)

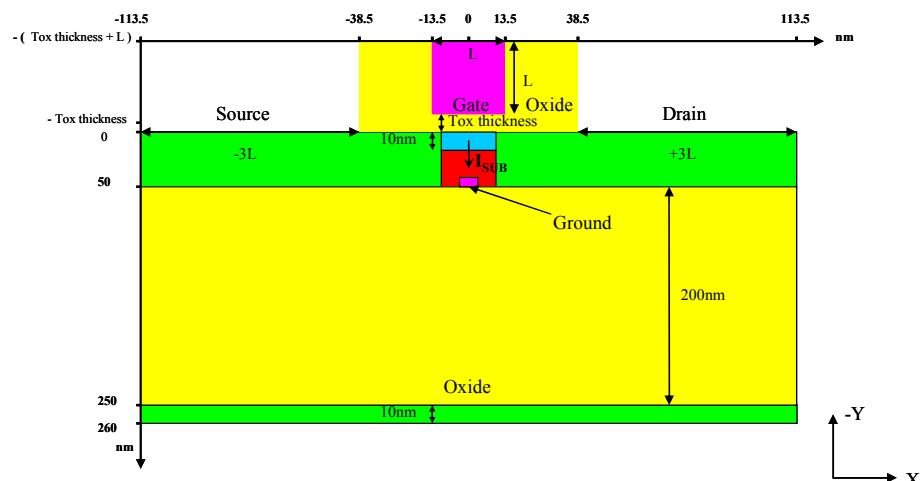


圖 7 具接地點之 PD SOI MOSFET 設計結構圖

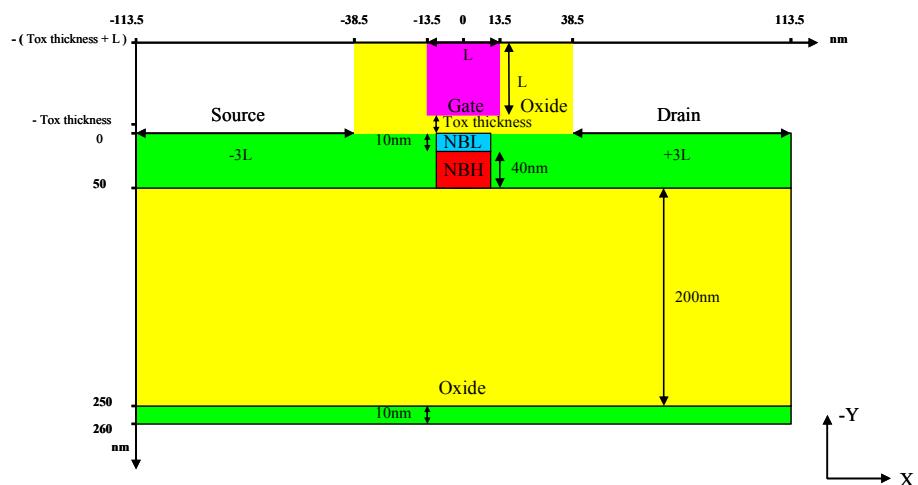


圖 8 將閘極實際長度微縮為 25 nm 之 PD SOI MOSFET 設計尺寸結構圖
 (扣除源極及汲極側向擴散，有效通道長度為 13 nm)

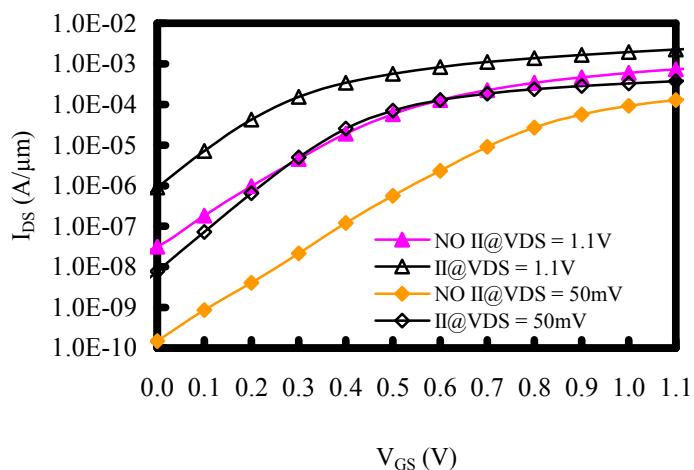


圖 9 考慮 II 及不考慮 II (No II) 之 I_{DS} 對 V_{GS} 特性比較曲線(工作環境溫度固定)

為 300K)

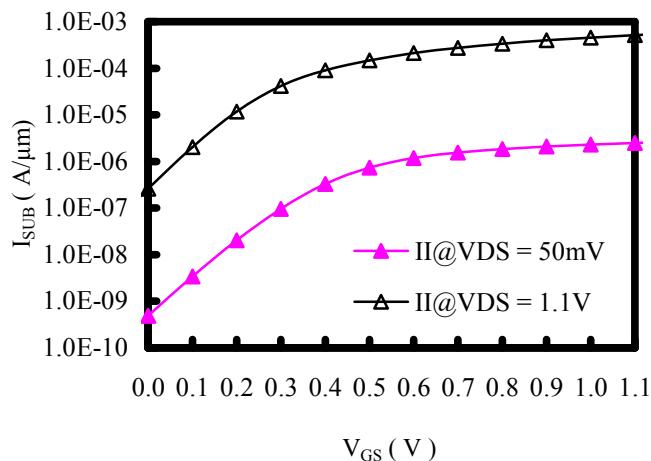


圖 10 考慮 II 之 I_{SUB} 對 V_{GS} 特性比較曲線圖(工作環境溫度固定為 300K)

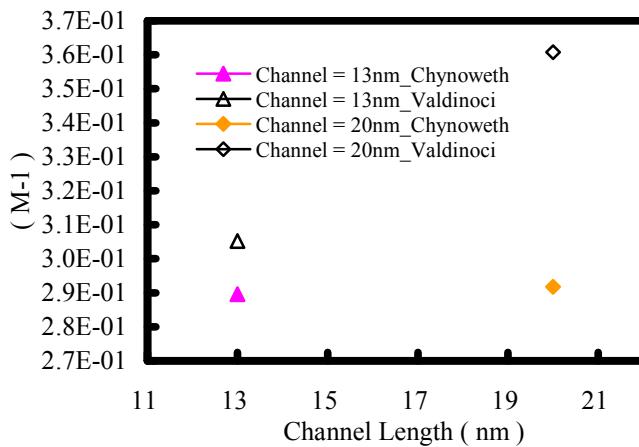


圖 11 工作溫度固定為 300K 時，比較不同通道長度之(M-1)值(絕緣層 Tox 厚度設定為 1.3 nm)

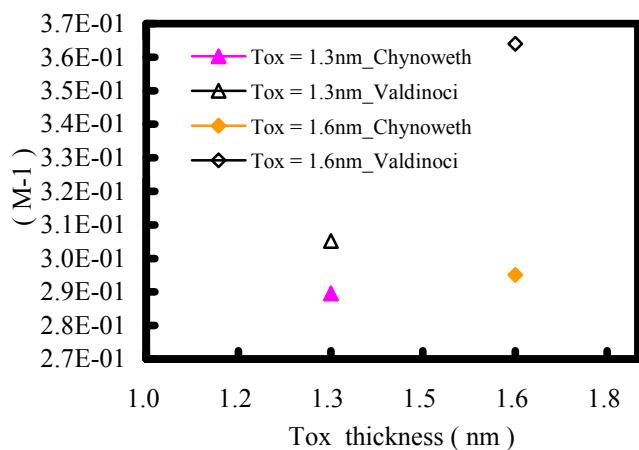


圖 12 工作溫度固定為 300K 時，比較不同絕緣層厚度之(M-1)值

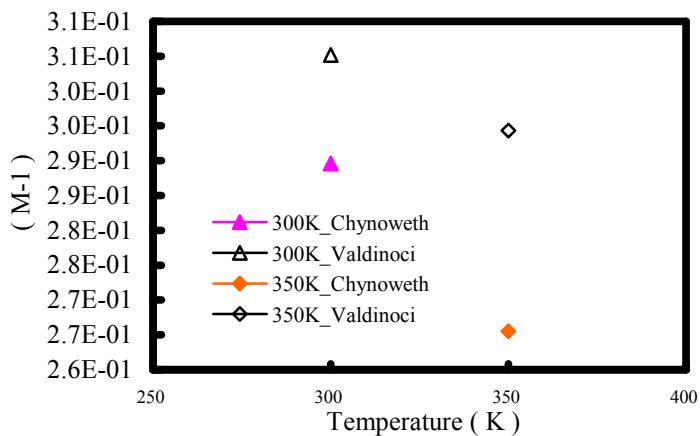


圖 13 通道長度固定為 13 nm 時，比較不同溫度之(M-1)值

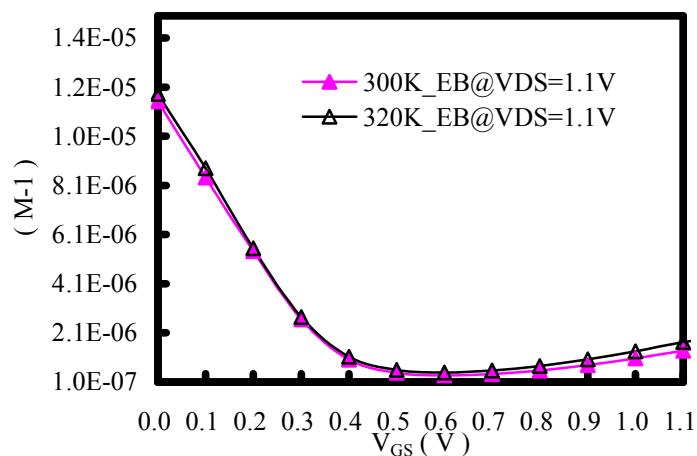


圖 14 NBL 濃度為 $5 \times 10^{14} \text{ cm}^{-3}$ 時，考慮 EB 之(M-1)變化圖

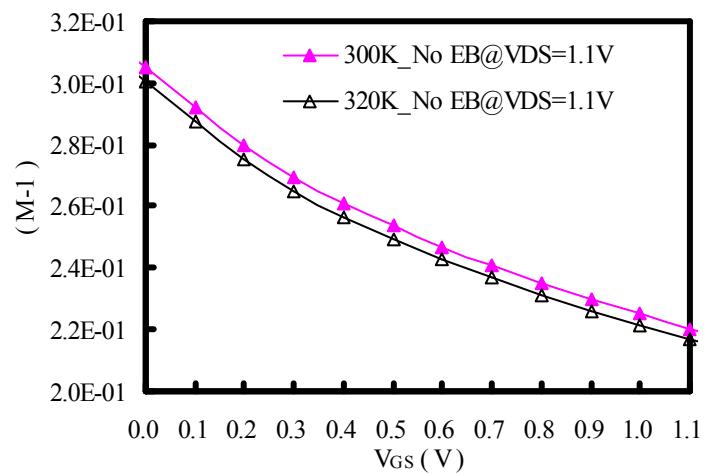


圖 15 NBL 濃度為 $5 \times 10^{14} \text{ cm}^{-3}$ 時，不考慮 EB(No EB)之(M-1)變化圖

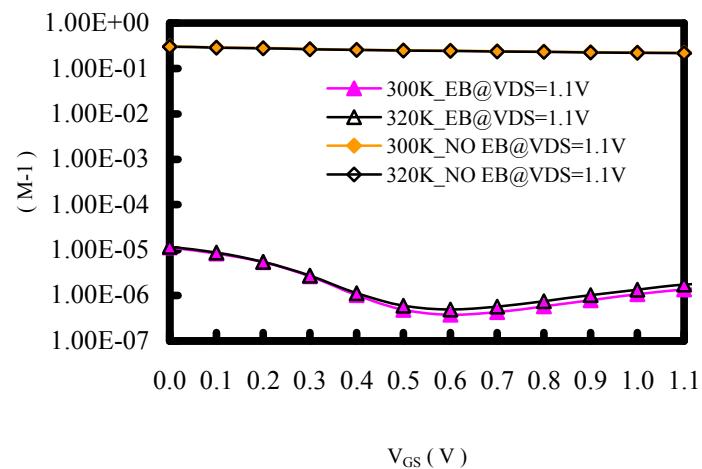


圖 16 NBL 濃度為 $5 \times 10^{14} \text{ cm}^{-3}$ 時，不考慮 EB(No EB)與考慮 EB 之(M-1)變化圖